



KOREAN PATENT ABSTRACTS(KR)

Document Code:B1

(11) Publication No.1019940007666 (44) Publication Date. 19940822

(21) Application No.1019900021812 (22) Application Date. 19901226

(51) IPC Code:
H01L 29/812

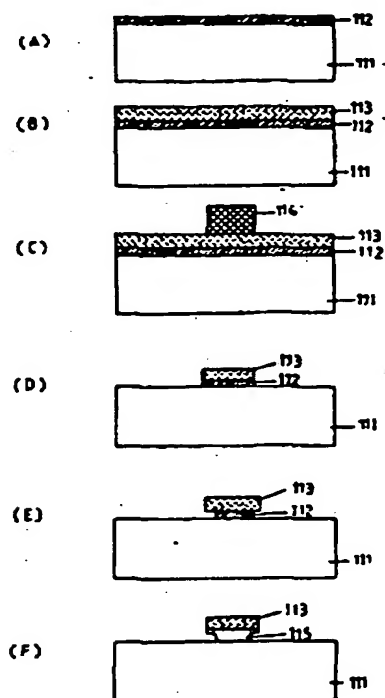
(71) Applicant:
KOREA ELEC. & TELECOMM. RES. INST.

(72) Inventor:
PARK, CHEOL-SOON
SHIM, KJU-HWAN, ET AL.

(30) Priority:

(54) Title of Invention
METHOD FOR MANUFACTURING SELF ALIGN GaAs FET

Representative drawing



(57) Abstract:

The method manufactures a self-align GaAs field effect transistor by using a heat-resisting gate. The method comprises the steps of: (A) forming a photosensitive pattern (124) and injecting n-type impurity on an active region; (B) removing a pattern (124) and forming a silicon layer (122) and a metal layer (123); (C) forming a photosensitive pattern to define a gate region; (D) removing a metal layer (123) and a silicon layer (122) by a mask to form a gate; (E) forming a source/drain region and injecting n-type impurity; (F) forming a metal silicide by thermal process; and (G) forming an ohmic electrode (126) on a source/drain region.

Copyright 1 7 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. [•] H01L 21/00	(11) 공개번호 (43) 공개일자	특 1992-0013606 1992년 07월 29일
(21) 출원번호	특 1990-0021812	
(22) 출원일자	1990년 12월 26일	
(71) 출원인	재단법인 한국전자통신연구소	경상현
(72) 발명자	대전직할시 유성구 가정동 161번지 박철순	
	대전직할시 유성구 도룡동 383-3 삼규환	
	대전직할시 중구 중촌동 88 명성재	
	대전직할시 동구 관암동 178 양전옥	
	대전직할시 대덕구 신대동 179번지 신대아파트 111-108 최영규	
	대전직할시 동구 용운동 398-12 강진영	
	대전직할시 유성구 도룡동 383-3 우성아파트 102-503호 이경호	
	대전직할시 중구 태평2동 삼부아파트 22-116 이진희	
	대전직할시 대덕구 범동 유원아파트 1-504 김도진	
(74) 대리인	대전직할시 중구 오류동 175-1 김영길	

심사청구 : 있음

(54) 내열성 이중층을 이용한 자기정렬형 게이트 소자 제조방법

요약

내용 없음

도표

도2

명세서

[발명의 명칭]

내열성 이중층을 이용한 자기정렬형 게이트 소자 제조방법

[도면의 간단한 설명]

제2도의 (A)~(F)는 본 발명의 실시예에 의한 자기정렬용 게이트제조과정을 나타낸 단면도, 제3도의 (A)~(F)는 본 발명의 실시예에 의한 자기정렬용 트랜지스터 제조과정을 나타낸 단면도.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 자기정렬형 전계효과 트랜지스터에 있어서 갈륨비소기판(111)위에 화학증착법등을 이용하여 규소박막(112)을 약 50~200nm정도의 두께로 증착하고, 상기의 상면에 화학적 증착법을 이용하여 내열성 금속박막(113)을 약 50~400nm정도의 두께로 증착하고, 그의 상면에 감광막을 증착하는 단계와, 습식 또는 건식식각을 통하여 이중층 게이트인 금속박막(113a)층과 규소박막(112a)층을 형성하고, 이온주입과 보호막증착 및 활성화 열처리를 거치면 상호확산과 화학반응을 통하여 금속박막(113a)층은 전기저항이 작은 금속박막(113a)을 형성하고, 갈륨비소와 접촉하는 하층부위를 쇼트키 특성이 좋고 갈륨비소와 반응성이 적은 금속의 규화막(115)을 변화시키는 단계와, 둘로 이루어짐을 특징으로 하는 내열성 이중층을 이용한 자기정렬형 게이트소자 제조방법.

청구항 2. 제1항에 있어서, 갈륨비소기판(121)위에 감광막을 증착하고, 활성층영역(121a)을 정의하고, 포토레지스터를 마스크로 이용하여 n형 불순물을 이온주입하는 단계와, 상기의 상면에 규소박막(122)을 증착하고, 그위에 내열성 금속박막(123)을 증착하고, 게이트를 정의한 감광막(124)을 형성하는 단계와, 금속박막(123)과 규소박막(122)을 식각하여 금속박막(123a)과 규소박막(122a) 게이트를 형성하고, 감광막패턴(124b)을 마스크로 이용하여 소오스/드레인 영역을 고농도로 n형 불순물을 활성화영역(121b)에 이온주입단계와, 열처리를 통하여 규소박막(122)과 내열성 금속박(123)이 상호확산과 화학반응을 통하여 갈륨비소와 계면에 내열성 금속규화물(125) 형성하고, 상기 공정후 소오스/드레인 음극전극(126)을 형성하는 단계들로 이루어짐을 특징으로 하는 내열성 이중층을 이용한 자기정렬형 게이트소자 제조방법.

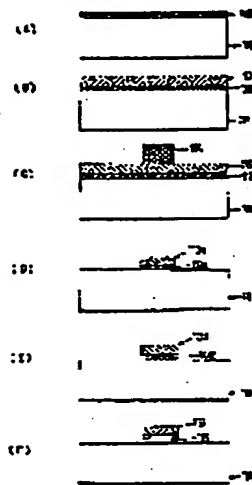
청구항 3. 제1항에 있어서, 식각선택비를 이용하여 게이트의 단면을 T형등으로 다양하게 제작하여 LDD(light doped drain)를 제조하도록 한 내열성 이중층을 이용한 자기정렬형 게이트소자 제조방법.

청구항 4. 제1항에 있어서 금속박막을 텅스텐, 티타늄, 탄탈륨, 몰리브덴, 백금등으로 형성되도록 한 내열성 이중층을 이용한 자기정렬형 게이트소자 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도 23

